

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-293643

(43)Date of publication of application : 05.11.1996

(51)Int.Cl.

H01S 3/18
H01L 33/00

(21)Application number : 07-098633

(71)Applicant : SHARP CORP

(22)Date of filing : 24.04.1995

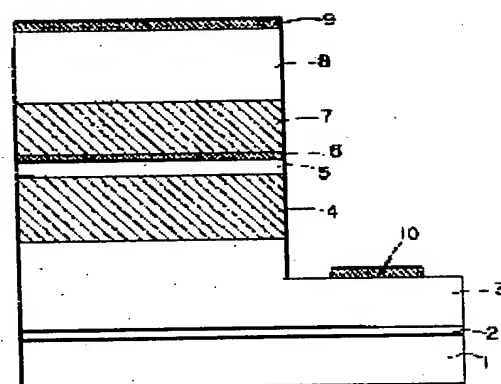
(72)Inventor : HATA TOSHIO

(54) COMPOUND SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To provide an active layer of good quality and the interface of good quality between the active layer and an evaporation preventive layer by a method wherein in the production process of a compound semiconductor light-emitting element, isolation of In is inhibited to the utmost and a crystal growth, which is superior in controllability, is made possible.

CONSTITUTION: An In-containing active layer 5 is formed and thereafter, an evaporation preventive layer 6 is formed at a temperature of a degree that isolation of In is not generated. As the layer 6, a P-type $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) layer or the like is used. Even if a substrate temperature is raised to 1020°C or thereabouts for forming an upper clad layer 7, the isolation of the In is never generated from the layer 5 by the existence of the layer 6. Thereby, it is facilitated to control the composition ratio of the In and the active layer of good quality and the interface of good quality between the layer 5 and the layer 6 can be provided.



LEGAL STATUS

[Date of request for examination] 27.10.2000

[Date of sending the examiner's decision of rejection] 28.01.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3728332

[Date of registration] 07.10.2005

[Number of appeal against examiner's decision of rejection] 2003-03029

[Date of requesting appeal against examiner's decision of rejection] 26.02.2003

[Date of extinction of right]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

[Claim(s)]

[Claim 1] The compound semiconductor light emitting device containing a substrate, the lower cladding layer formed on said substrate, the barrier layer containing In formed on said lower cladding layer, the antiflashing layer formed on said barrier layer, and the up cladding layer formed on said antiflashing layer.

[Claim 2] The compound semiconductor light emitting device according to claim 1 further equipped with the buffer layer formed between said substrate and said lower cladding layer.

[Claim 3] The compound semiconductor light emitting device according to claim 1 or 2 further equipped with the cap layer formed on said up cladding layer.

[Claim 4] Said barrier layer is a compound semiconductor light emitting device given in either of claims 1-3 which is constituted by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$).

[Claim 5] Said antiflashing layer is a compound semiconductor light emitting device given in either of claims 1-4 which is constituted by $\text{Al}_{1-x}\text{Ga}_x\text{N}$ ($0 \leq x \leq 1$).

[Claim 6] The 1st step which forms a lower cladding layer, and the 2nd step which forms the barrier layer constituted from the 1st temperature by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$) on said lower cladding layer, The manufacture approach of the compound semiconductor light emitting device equipped with the 3rd step which forms the antiflashing layer constituted by $\text{Al}_{1-x}\text{Ga}_x\text{N}$ ($0 \leq x \leq 1$) on said barrier layer at the 2nd temperature below said 1st temperature.

[Claim 7] The 1st step which forms a lower cladding layer, and the 2nd step which forms the barrier layer constituted from the 1st temperature by Al_xGa_y

InZ N ($X+Y+Z=1$ and $0 \leq X-Y \leq 1$, $0 < Z \leq 1$) on said lower cladding layer, At the 3rd temperature beyond the 3rd step which forms the antiflashing layer constituted by AlX Ga $1-X$ N ($0 \leq X \leq 1$) on said barrier layer at the 2nd temperature beyond said 1st temperature, and said 2nd temperature The manufacture approach of the compound semiconductor light emitting device equipped with the 4th step which forms an up cladding layer on said antiflashing layer.

[Claim 8] The 1st step which forms a lower cladding layer, and the 2nd step which forms the barrier layer constituted from the 1st temperature by AlX GaY InZ N ($X+Y+Z=1$ and $0 \leq X-Y \leq 1$, $0 < Z \leq 1$) on said lower cladding layer, The manufacture approach of the compound semiconductor light emitting device equipped with the 3rd step which forms the antiflashing layer constituted by AlX Ga $1-X$ N ($0 \leq X \leq 1$) on said barrier layer at the almost same temperature as said 1st temperature.

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor laser diode and light emitting diode which can emit light in a blue field especially about a compound semiconductor light emitting device and its manufacture approach.

[0002]

[Description of the Prior Art] Drawing 17 is drawing showing the type section of the AlGaIn/InGaIn/AlGaIn system compound semiconductor light emitting device (semiconductor laser, light emitting diode) which can emit light in the conventional blue field.

[0003] Drawing is referred to. A semi-conductor light emitting device The sapphire (0001) substrate 1, GaN by which the laminating was carried out to order on the sapphire (0001) substrate 1 Or the AlN buffer layer 2, the n mold GaN layer 3, and the n mold AlZ By the Ga $1-Z$ N ($0 \leq Z \leq 1$) lower cladding layer 4, the non dope or the Zn dope InY Ga $1-Y$ N ($0 \leq Y \leq 1$) barrier layer (or called a luminous layer) 5, the p mold AlZ Ga $1-Z$ N ($0 \leq Z \leq 1$) up cladding layer 7, and the p mold GaN cap layer 8 It is constituted. Moreover, n mold electrode 10 is formed in the n mold GaN layer 3, and p mold electrode 9 is formed in the p mold GaN cap layer 8.

[0004] Generally such a compound semiconductor light emitting device is manufactured through the following processes by metal-organic chemical vapor

deposition (henceforth the "MOCVD method").

[0005] (1) Perform surface treatment of silicon on sapphire 1 at the temperature of about 1050 degrees C.

(2) Lower substrate temperature to about 510 degrees C, and grow up GaN or the AlN buffer layer 2 of a thin layer.

[0006] (3) Raise substrate temperature to 1020 degrees C, and grow up the n mold GaN layer 3.

(4) Grow up the n mold AlGaIn lower cladding layer 4 at this temperature.

[0007] (5) Lower substrate temperature to about 800 degrees C, and grow up the non dope InGaIn system barrier layer (or Zn dope luminous layer) 5 into the thickness of about 100-500Å.

[0008] (6) Raise substrate temperature to about 1020 degrees C, and grow up the p mold AlGaIn up cladding layer 7.

[0009] (7) Grow up the p mold GaN cap layer 8 at this temperature.

(8) Form p mold electrode 9 and n mold electrode 10 after etching.

[0010] Since the vapor pressure of In is comparatively high, in the process stated above, temperature when growing up the barrier layer 5 containing In is made into about 800 degrees C, because desired In ratio cannot be obtained at the growth temperature of 1000 degrees C or more. Moreover, if an AlGaIn cladding layer is not grown up at the temperature of 1000 degrees C or more, growth temperature of an AlGaIn cladding layer will be made into 1020 degrees C because it cannot consider as the film of good crystal quality.

[0011] Therefore, a light emitting device will follow the growth temperature profile shown at drawing 16 between process (4) - (6) mentioned above. An axis of abscissa shows the growth direction of a semi-conductor among drawing 16, and an axis of ordinate shows growth temperature.

[0012]

[Problem(s) to be Solved by the Invention] However, in order to grow up the p mold AlGaIn up cladding layer 7, when substrate temperature was raised to about 1020 degrees C, there was a trouble that isolation of In arose from the barrier layer (luminous layer) 5 containing In made from the process before that in the manufacture approach of the conventional compound semiconductor mentioned above. It was connected with the result that cause aggravation of the interface of a barrier layer 5 and the up cladding layer 7, or it becomes difficult to control the thickness of a barrier layer 5 and the mixed-crystal ratio of In that isolation of In arises.

[0013] It aims at offering the compound semiconductor light emitting device which has the interface of the barrier layer which this invention makes possible crystal growth which was made in order to solve the above-mentioned trouble, suppressed isolation of In as much as possible in the production process of a compound semiconductor light emitting device, and was excellent in the controllability, and contains good In, and a good barrier layer.

[0014]

[Means for Solving the Problem] A compound semiconductor light emitting device according to claim 1 contains a substrate, the lower cladding layer formed on the substrate, the barrier layer containing In formed on the lower cladding layer, the antifrashing layer formed on the barrier layer, and the up cladding layer formed on the antifrashing layer.

[0015] A compound semiconductor light emitting device according to claim 2 is a compound semiconductor light emitting device according to claim 1, and is further equipped with the buffer layer formed between the substrate and the lower cladding layer.

[0016] A compound semiconductor light emitting device according to claim 3 is a compound semiconductor light emitting device according to claim 1 or 2, and is further equipped with the cap layer formed on the up cladding layer.

[0017] A compound semiconductor light emitting device according to claim 4 is a compound semiconductor light emitting device given in either of claims 1-3, and a barrier layer is constituted by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x$ and $y \leq 1$, $0 < z \leq 1$).

[0018] A compound semiconductor light emitting device according to claim 5 is a compound semiconductor light emitting device given in either of claims 1-4, and an antifrashing layer is constituted by $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$).

[0019] The manufacture approach of a compound semiconductor light emitting device according to claim 6 The 1st step which forms a lower cladding layer, and the 2nd step which forms the barrier layer constituted from the 1st temperature by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$) on a lower cladding layer, It has the 3rd step which forms the antifrashing layer constituted from the 2nd temperature below the 1st temperature by $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) on a barrier layer.

[0020] The manufacture approach of a compound semiconductor light emitting device according to claim 7 The 1st step which forms a lower cladding layer, and the 2nd step which forms the barrier layer constituted from the 1st temperature

by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$) on a lower cladding layer, It has the 3rd step which forms the antifrashing layer constituted by $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) on a barrier layer at the 2nd temperature beyond the 1st temperature, and the 4th step which forms an up cladding layer on an antifrashing layer at the 3rd temperature beyond the 2nd temperature.

[0021] The manufacture approach of a compound semiconductor light emitting device according to claim 8 The 1st step which forms a lower cladding layer, and the 2nd step which forms the barrier layer constituted from the 1st temperature by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$) on said lower cladding layer, It has the 3rd step which forms the antifrashing layer constituted by $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) on said barrier layer at the almost same temperature as said 1st temperature.

[0022]

[Function] A compound semiconductor light emitting device given in either of claims 1-5 is equipped with an antifrashing layer on a barrier layer. By existence of this antifrashing layer, isolation of In in the barrier layer conventionally produced during manufacture of a compound semiconductor light emitting device is prevented.

[0023] By the manufacture approach of a compound semiconductor light emitting device according to claim 6, a lower cladding layer is formed of the 1st step. Of the 2nd step, the barrier layer constituted by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$) is formed on a lower cladding layer at the 1st temperature. In the 3rd step, the antifrashing layer constituted from the 2nd temperature below the 1st temperature by $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) on a barrier layer is formed.

[0024] By the manufacture approach of a compound semiconductor light emitting device according to claim 7, a lower cladding layer is formed in the 1st step. In the 2nd step, the barrier layer constituted by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$ ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$) is formed on a lower cladding layer. In the 3rd step, the antifrashing layer constituted from the 2nd temperature beyond the 1st temperature by $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) on a barrier layer is formed. In the 4th step, an up cladding layer is formed on an antifrashing layer at the 3rd temperature beyond the 2nd temperature.

[0025] By the manufacture approach of a compound semiconductor light emitting device according to claim 8, a lower cladding layer is formed in the 1st step. The barrier layer constituted from the 1st temperature by $\text{Al}_x\text{Ga}_y\text{In}_z\text{N}$

($X+Y+Z=1$ and $0 \leq X-Y \leq 1$, $0 < Z \leq 1$) on a lower cladding layer in the 2nd step is formed. In the 3rd step, the antilashing layer constituted from almost same temperature as the 1st temperature by $\text{Al}_X \text{Ga}_{1-X} \text{N}$ ($0 \leq X \leq 1$) on a barrier layer is formed.

[0026]

[Example] The example of this invention is explained in order below. In addition, this example does not limit growth conditions, the class of organometallic compound gas, the material of construction, etc. to the following. This example can add various modification within the limits of an application for patent.

[0027] (The 1st example) in the 1st example, the c-th page (0001) of sapphire uses as a substrate -- having -- MOCVD -- growth of each layer is performed by law. Moreover, trimethylgallium (TMG), trimethylaluminum (TMA), and trimethylindium (TMI) are used as a source of III group gas, ammonia (NH_3) is used as a source of V group gas, a mono silane (SiH_4) is used as a source of n mold dopant, bis(cyclopentadienyl) magnesium ($\text{Cp}_2 \text{Mg}$) is respectively used as a source of p mold dopant, and it is H_2 as carrier gas. It is used.

[0028] Drawing 1 is the type section Fig. of the semiconductor laser diode in the 1st example of this invention.

[0029] With reference to drawing, the semiconductor laser diode in this example Were formed in order on silicon on sapphire 1 and the c-th page (0001) substrate 1 of sapphire. GaN Or the AlN buffer layer 2, the n mold GaN layer 3, and the n mold aluminum 0.1 The $\text{Ga}_{0.9} \text{N}$ lower cladding layer 4, a non dope Or it is constituted by the Si dope $\text{In}_{0.2} \text{Ga}_{0.8} \text{N}$ barrier layer (or it is also called a luminous layer) 5, the thin layer p mold aluminum $0.05 \text{Ga}_{0.95} \text{N}$ antilashing layer 6, the p mold aluminum $0.1 \text{Ga}_{0.9} \text{N}$ up cladding layer 7, and the p mold GaN cap layer 8. Moreover, n mold electrode 10 is formed in the n mold GaN layer 3, and p mold electrode 9 is formed in the p mold GaN cap layer 8.

[0030] The point that the laminating condition of this semi-conductor differs from the laminating condition of the conventional semi-conductor shown in drawing 17 is a point that the antilashing layer 6 is formed between the barrier layer 5 and the up cladding layer 7.

[0031] And the semiconductor laser shown in drawing 1 is formed of the process shown below.

(1) Introduce silicon on sapphire 1 in an MOCVD system, and it is a substrate H_2 It heats at the substrate temperature of about 1050 degrees C in inside, and surface treatment of a substrate is performed.

[0032] (2) Lower substrate temperature to about 500 degrees C, and grow up GaN or the AlN buffer layer 2. At this time, if the thickness of a buffer layer 2 is GaN and it is 250A and AlN, it is 500A.

[0033] (3) Raise substrate temperature to about 1020 degrees C, and grow up the n mold GaN layer 3 into the thickness of about 4 micrometers. The laminated structure shown in drawing 3 at this time is formed.

[0034] (4) Grow up the n mold aluminum_{0.1}Ga_{0.9}N lower cladding layer 4 into the thickness of about 1 micrometer at the same substrate temperature. The laminating condition of the substrate at this time is shown in drawing 4.

[0035] (5) Lower substrate temperature to about 800 degrees C, and grow up a non dope (non-doped) or an Si dope In_{0.2}Ga_{0.8}N barrier layer (or luminous layer) by about 200A thickness. The laminating condition of the substrate at this time is shown in drawing 5.

[0036] (6) Lower substrate temperature to a non dope or below Si dope In_{0.2}Ga_{0.8}N barrier layer (or luminous layer) growth temperature, and grow up the thin layer p mold aluminum_{0.05}Ga_{0.95}N antilashing layer 6 at the growth temperature of about 500-800 degrees C. The laminating condition of the substrate at this time is shown in drawing 6.

[0037] (7) Raise substrate temperature to about 1020 degrees C, and grow up the p mold aluminum_{0.1}Ga_{0.9}N up cladding layer 7 by about 1-micrometer thickness.

[0038] (8) Next, grow up the p mold electrode GaN cap layer 8 into the thickness of about 1 micrometer at this temperature. The laminating condition of the substrate at this time is shown in drawing 7.

[0039] The thin layer p mold aluminum_{0.05}Ga_{0.95}N antilashing layer 6 serves as good-quality film, while raising substrate temperature to about 1020 degrees C.

[0040] To the wafer manufactured as mentioned above, it sets at the temperature of about 700 degrees C, and is N₂. Heat annealing is performed in inside. The thin layer p mold aluminum_{0.05}Ga_{0.95}N antilashing layer 6 and the p mold aluminum_{0.1}Ga_{0.9}N up cladding layer 7 are reached, and the p mold AlN cap layer 8 changes with heat annealing to a high concentration p type layer.

[0041] Next, in order to perform electrode attachment, p mold electrode 9 and n mold electrode 10 are formed, respectively after that which is etched until the n mold GaN layer 3 exposes some wafers. The AlGaIn/InGaIn/AlGaIn system semiconductor laser diode shown in drawing 1 through the above process is

manufactured.

[0042] Drawing 2 is drawing showing a crystal growth temperature profile while forming from the lower cladding layer 4 of the semiconductor laser diode of drawing 1 to the up cladding layer 7.

[0043] Thus, in the compound semiconductor light emitting device in this example, the antilashing layer 6 is formed at the temperature below the growth temperature of a barrier layer 5 after formation of a barrier layer 5, and the up cladding layer 7 is formed at the substrate temperature of about 1020 degrees C after that. Therefore, the crystal growth of isolation of In contained in a barrier layer 5 arising which was prevented, and became possible [offering the compound semiconductor light emitting device which has the interface of the barrier layer which contains good In by this, and a good barrier layer], and was excellent in the controllability in the production process becomes possible.

[0044] Drawing 8 is the type section Fig. of the light emitting diode which is the modification of this example. Unlike the semiconductor laser diode with which light emitting diode is shown in drawing 1 , with reference to drawing 8 , p mold electrode 9 is formed small. This is for making the light emitted by the barrier layer 5 output also up through the up cladding layer 7 and the cap layer 8.

[0045] (The 2nd example) Drawing 9 is drawing showing the growth temperature profile from the lower cladding layer of the compound semiconductor light emitting device in the 2nd example of this invention to an up cladding layer.

[0046] Since the laminated structure of the compound semiconductor light emitting device in this example is the same as that of the 1st example shown in drawing 1 and drawing 8 , explanation here is not repeated. It is characterized by the compound semiconductor light emitting device in the 2nd example forming an antilashing layer at the substrate temperature below the growth temperature of beyond the growth temperature of the barrier layer containing In, and an up cladding layer.

[0047] The MOCVD method is used for crystal growth in the 2nd example, and the c-th page (0001) of sapphire is used as a substrate. Moreover, trimethylgallium (TMG), trimethylaluminum (TMA), and trimethylindium (TMI) are used as a source of III group gas, and ammonia (NH₃) is used as a source of V group gas. Moreover, for a mono silane (SiH₄), bis(cyclopentadienyl) magnesium (Cp₂ Mg) is H₂ as carrier gas as a source of p mold dopant as a source of n mold dopant. It is used. The production process is explained below.

[0048] (1) Introduce silicon on sapphire in an MOCVD system, and it is a

substrate H2 It heats at the substrate temperature of about 1050 degrees C in inside, and surface treatment of a substrate is performed.

[0049] (2) Lower substrate temperature to about 500 degrees C, and form GaN or an AlN buffer layer. If the thickness of the buffer layer at this time is GaN and it is 250A and AlN, it is 500A.

[0050] (3) Raise substrate temperature to about 1020 degrees C, and grow up about 4 micrometers of n mold GaN layers.

[0051] (4) Grow up about 1 micrometer of n mold aluminum_{0.1} Ga_{0.9} N lower cladding layers 4 at the same substrate temperature.

[0052] (5) Lower substrate temperature to about 800 degrees C, and grow up a non dope or an Si dope In_{0.2}Ga_{0.8} N barrier layer (or it is also called a "luminous layer".) by about 200A thickness.

[0053] (6) Grow up a thin layer p mold aluminum_{0.05}Ga_{0.95}N antilashing layer at about 900 degrees C which is below the growth temperature of beyond the growth temperature of a non dope or an Si dope In_{0.2} Ga_{0.8} N barrier layer, and a p mold aluminum_{0.1} Ga_{0.9} N up cladding layer about substrate temperature.

[0054] (7) Raise substrate temperature to about 1020 degrees C, and grow up about 1 micrometer of p mold aluminum_{0.1} Ga_{0.9} N up cladding layers.

[0055] (8) Grow up about 1 micrometer of p mold electrode GaN cap layers. A thin layer p mold aluminum_{0.05}Ga_{0.95}N antilashing layer serves as good-quality film, while raising substrate temperature to about 1020 degrees C.

[0056] Formation of the back electrode with which heat annealing and etching were performed is performed to an after [crystal growth] wafer. Since these processes are the same as the 1st example, they do not repeat explanation here.

[0057] As stated above, in order to form an antilashing layer after formation of the barrier layer which contains In in this example below at the growth temperature of beyond the growth temperature of a barrier layer, and an up cladding layer, isolation of In can be prevented and the crystal growth excellent in the controllability becomes possible, and it becomes possible to offer the interface of the barrier layer containing good In, and a barrier layer.

[0058] (The 3rd example) Since the laminating condition of the compound semiconductor light emitting device manufactured in the 3rd example is the same as the laminating condition of the compound semiconductor light emitting device in the 1st example shown in drawing 1 and drawing 8 , it does not repeat explanation here.

[0059] Drawing 10 is drawing showing the temperature profile between formation

of a lower cladding layer to the up cladding layer of the compound semiconductor light emitting device in the 3rd example of this invention.

[0060] The production process of the compound semiconductor light emitting device in this example is characterized by making growth temperature of an antilashing layer almost the same as the growth temperature of the barrier layer containing In.

[0061] The MOCVD method is used for the manufacture approach of a compound semiconductor light emitting device in this example. The c-th page (0001) of sapphire is used as a substrate. As a source of III group gas Moreover, trimethylgallium (TMG), Trimethylaluminum (TMA) and trimethylindium (TMI) are used. Ammonia (NH₃) is used as a source of V group gas, and, for a mono silane (SiH₄), bis(cyclopentadienyl) magnesium (Cp₂ Mg) is H₂ as carrier gas as a source of p mold dopant as a source of n mold dopant. It is used. The production process is explained below.

[0062] (1) Introduce silicon on sapphire in an MOCVD system, and it is a substrate H₂ It heats at the substrate temperature of about 1050 degrees C in inside, and surface treatment of a substrate is performed.

[0063] (2) Lower substrate temperature to about 500 degrees C, and grow up GaN or an AlN buffer layer. If the thickness of the buffer layer at this time is GaN and it is 250A and AlN, it is 500A.

[0064] (3) Raise substrate temperature to about 1020 degrees C, and grow up about 4 micrometers of n mold GaN layers.

[0065] (4) Grow up about 1 micrometer of n mold aluminum_{0.1} Ga_{0.9} N lower cladding layers at the same substrate temperature.

[0066] (5) Lower substrate temperature to about 800 degrees C, and grow up a non dope or an Si dope In_{0.2}Ga_{0.8} N barrier layer by about 200A thickness.

[0067] (6) Grow up a thin layer p mold aluminum_{0.05}Ga_{0.95}N antilashing layer at the almost same growth temperature as the growth temperature of a non dope or an Si dope In_{0.2} Ga_{0.8} N barrier layer.

[0068] (7) Raise substrate temperature to about 1020 degrees C, and grow up about 1 micrometer of p mold aluminum_{0.1} Ga_{0.9} N up cladding layers.

[0069] (8) Grow up about 1 micrometer of p mold GaN cap layers. A thin layer p mold aluminum_{0.05}Ga_{0.95}N antilashing layer serves as good-quality film, while raising substrate temperature to about 1020 degrees C.

[0070] Moreover, let the manufactured wafers be components, such as semiconductor laser and light emitting diode, through the process of heat

annealing, etching, and electrode formation. With the 1st example, since these processes are substantially the same, they do not repeat explanation here.

[0071] (The 4th example) Drawing 11 is the type section Fig. of the compound semiconductor light emitting device in the 4th example of this invention.

[0072] n mold electrode 10 with which the laminating of the compound semiconductor light emitting device in this example was carried out with reference to drawing, the n mold GaAs substrate 11, the n mold GaAs buffer layer 12, and n mold aluminum 0.8 It is constituted by the Ga_{0.2}As lower cladding layer 13, a barrier layer 20, the p mold (Mg dope) aluminum_{0.8} Ga_{0.2}As up cladding layer 17, an insulating layer 18, the p mold GaAs cap layer 19, and p mold electrode 9. Moreover, a barrier layer 20 is constituted by the compound semiconductor by which the laminating was carried out to the order of the non dope GaAs layer 14, the non dope In_{0.15}Ga_{0.85}As strain quantum well barrier layer 15, and the non dope GaAs antilasing layer 16 from the bottom to the drawing.

[0073] The energy level near the barrier layer is shown in drawing 12. Moreover, ridge guided wave structure with a width of face of 3 micrometers is formed in the compound semiconductor light emitting device in this example of photolithography and wet etching.

[0074] the compound semiconductor light emitting device in this example -- MOCVD -- it is formed of law. In this example, GaAs is used as a substrate, trimethylgallium (TMG), trimethylaluminum (TMA), and trimethylindium (TMI) are used as a source of III group gas, an arsine (AsH₃) is used as a source of V group gas, and, for Se, Mg and Zn are H₂ as carrier gas as a source of p mold dopant as a source of n mold dopant. It is used. And the compound semiconductor light emitting device in this example is manufactured according to the following processes.

[0075] (1) Introduce the n mold (100) GaAs substrate 11 in an MOCVD system, raise substrate temperature to about 800 degrees C, and grow up the GaAs buffer layer 12. The thickness of a GaAs buffer layer is 0.5 micrometers.

[0076] (2) Grow up the n mold aluminum_{0.8} Ga_{0.2}As lower cladding layer 13 into about 1.4 micrometers of thickness at this temperature.

[0077] (3) Grow up about 100Å of non dope mold GaAs layers 14.

(4) Lower substrate temperature to about 630 degrees C, and grow up the non dope In_{0.15}Ga_{0.85}As strain quantum well barrier layer 15 by about 110Å thickness.

[0078] (5) Grow up the non dope mold GaAs antiflashing layer 16 by about 100Å thickness. In addition, temperature of the substrate in growth of an antiflashing layer can be carried out by any growth temperature profile shown in drawing 15 from drawing 13 . That is, in drawing 13 , an antiflashing layer is formed at about 550 degrees C lower than 630 degrees C which is the growth temperature of a strain quantum well barrier layer. Moreover, in drawing 14 , an antiflashing layer can be grown up at about 700 degrees C which is the temperature of about 800 degrees C or less which is the growth temperature of about 630 degrees C or more which is the growth temperature of a strain quantum well barrier layer, and an up cladding layer. Moreover, as for an antiflashing layer, in drawing 15 , it is possible to make it grow up at about 630 degrees C which is the almost same temperature as the growth temperature of a strain quantum well barrier layer.

[0079] (6) Grow up the p mold (Mg dope) aluminum_{0.8} Ga_{0.2} As up cladding layer 17 by about 1.4-micrometer thickness.

[0080] (7) Grow up the p mold (Zn dope) GaAs cap layer 19 by about 1-micrometer thickness.

[0081] To the wafer which passed through the above process, the photolithography which is a Prior art, and the technique of wet etching are used, and ridge guided wave structure with a width of face of 3 micrometers shown in drawing 11 is formed. p mold and n mold electrode are formed in the wafer in which ridge guided wave structure was formed, and component-ization is performed.

[0082] (The 5th example) Since the laminating condition of the compound semiconductor light emitting device formed in the 5th example is the same as that of the laminated structure of the compound semiconductor light emitting device in the 1st example shown in drawing 1 and drawing 8 , it does not repeat explanation here. The place by which it is characterized [the] in the 5th example is a point using aluminum_{0.4} Ga_{0.6} N as matter which forms an antiflashing layer. A difference with the clear chemical composition of the matter between an antiflashing layer and an up cladding layer can be attached by this, and, thereby, verification of the antiflashing layer after component manufacture becomes easy.

[0083] The MOCVD method is used for manufacture of the compound semiconductor light emitting device in this example, and the c-th page (0001) of sapphire is used as a substrate. Moreover, trimethylgallium (TMG), trimethylaluminum (TMA), and trimethylindium (TMI) are used as a source of III group gas, and ammonia (NH₃) is used as a source of V group gas. Moreover,

for a mono silane (SiH_4), bis(cyclopentadienyl) magnesium (Cp_2Mg) is H_2 as carrier gas as a source of p mold dopant as a source of n mold dopant. It is used. [0084] And the compound semiconductor light emitting device in this example is formed through the following processes.

[0085] (1) Introduce silicon on sapphire in an MOCVD system, and it is substrate temperature H_2 It heats at the substrate temperature of about 1050 degrees C in inside, and surface treatment of a substrate is performed.

[0086] (2) Lower substrate temperature to about 500 degrees C, and grow up GaN or an AlN buffer layer. At this time, if the thickness of a buffer layer is GaN and it is 250Å and AlN, it is 500Å.

[0087] (3) Raise substrate temperature to about 1020 degrees C, and grow up an n mold GaN layer about 4 micrometers of thickness.

[0088] (4) Grow up an n mold aluminum_{0.1}Ga_{0.9}N lower cladding layer by about 1 micrometer of thickness at the same substrate temperature.

[0089] (5) Lower substrate temperature to about 800 degrees C, and grow up a non dope or an Si dope In_{0.2}Ga_{0.8}N barrier layer (or it is also called a luminous layer.) by about 200Å of thickness.

[0090] (6) Grow up a thin layer p mold aluminum_{0.4}Ga_{0.6}N antireflecting layer. In addition, the substrate temperature at this time is selectable from about 600 to about 900 degrees C to arbitration. For example, about 600 degrees C, about 800 degrees C, about 900 etc. degrees C, etc. can be chosen.

[0091] (7) Raise substrate temperature to about 1020 degrees C, and grow up a p mold aluminum_{0.1}Ga_{0.9}N up cladding layer into the thickness of about 1 micrometer of thickness.

[0092] (8) Grow up a p mold GaN cap layer into the thickness of about 1 micrometer of thickness. A thin layer p mold aluminum_{0.4}Ga_{0.6}N antireflecting layer serves as good-quality film, while raising substrate temperature to about 1020 degrees C.

[0093] In the wafer in which layer structure was formed, it is N_2 at about 700 degrees C. Heat annealing is performed in inside. A thin layer p mold aluminum_{0.4}Ga_{0.6}N antireflecting layer, a p mold aluminum_{0.1}Ga_{0.9}N up cladding layer, and a p mold GaN cap layer change with heat annealing to a high concentration p type layer.

[0094] Next, in order to form the electrode of n mold, etching is performed and p mold and n mold electrode are formed on the etched wafer, respectively until an n mold GaN layer is exposed.

[0095] in addition, under explanation of an example -- crystal growth -- MOCVD -- although law is used -- as the growth approach -- MBE -- law (molecular beam epitaxy) etc. can be used. Moreover, modification of the material of construction, growth conditions, etc. can be added within the limits of an application for patent.

[0096] although the c-th page (0001) of sapphire is furthermore used as a substrate in the 1st to the 3rd and the 5th example -- as a substrate -- SiC, MgO, ZnO, or MgAl₂O₄ etc. -- it can use.

[0097] The matter furthermore used as a buffer layer can use matter, such as chemical formula Al_xGa_{1-x}N ($0 < x < 1$).

[0098] Furthermore, as long as a barrier layer is matter constituted with a chemical formula Al_xGa_yIn_zN ($x+y+z=1$ and $0 \leq x-y \leq 1$, $0 < z \leq 1$), it may use anything.

[0099] It is possible to use the matter furthermore constituted by n mold Al_zGa_{1-z}N ($0 \leq z \leq 1$) as a lower cladding layer, and the matter constituted by p mold Al_zGa_{1-z}N ($0 \leq z \leq 1$) as an up cladding layer can be used.

[0100] The matter constituted by non dope Al_xGa_{1-x}As ($0 \leq x \leq 1$) as matter which furthermore constitutes the non dope mold GaAs layer 14 in the 4th example can be used, and it is possible to use non dope In_yGa_{1-y}As ($0 < y \leq 1$) as matter which constitutes a non dope In_{0.15}Ga_{0.85}As strain quantum well barrier layer. The matter furthermore constituted by p mold Al_xGa_{1-x}As ($0 \leq x \leq 1$) as an antireflecting layer in the 4th example can be used.

[0101]

[Effect of the Invention] In order to have an antireflecting layer according to the compound semiconductor light emitting device given in either of claims 1-5, isolation of In can be suppressed as much as possible, crystal growth excellent in the controllability is made possible, and it becomes possible to offer a compound semiconductor light emitting device including the interface of the barrier layer (luminous layer) containing good In, and a barrier layer.

[0102] Since isolation of In contained in a barrier layer can be suppressed as much as possible according to the manufacture approach of a compound semiconductor light emitting device given in either of claims 6-8, crystal growth excellent in the controllability is made possible, and it becomes possible to offer the interface of the barrier layer containing good In, and a barrier layer.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-293643

(43) 公開日 平成8年(1996)11月5日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 S 3/18			H 0 1 S 3/18	
H 0 1 L 33/00			H 0 1 L 33/00	C

審査請求 未請求 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平7-98633

(22) 出願日 平成7年(1995)4月24日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 幡 俊雄

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

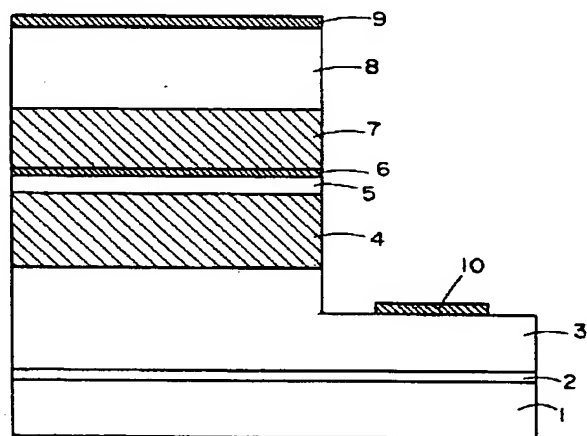
(74) 代理人 弁理士 深見 久郎

(54) 【発明の名称】 化合物半導体発光素子およびその製造方法

(57) 【要約】

【目的】 化合物半導体発光素子の製造工程において I n の遊離を極力抑え、制御性に優れた結晶成長を可能とし、良質の活性層および活性層の界面を提供することを目的とする。

【構成】 I n を含む活性層5の形成後、I n の遊離が生じない程度の温度で蒸発防止層6を形成する。蒸発防止層6としてp型 $Al_x Ga_{1-x} N$ ($0 \leq x \leq 1$) などが用いられる。上部クラッド層7を形成するため基板温度を $1020^\circ C$ 程度の高温に上げて蒸発防止層6の存在により活性層5から I n の遊離が生ずることがない。これにより I n の組成比を制御することが容易となり、かつ良質の活性層および活性層の界面を提供することができる。



【特許請求の範囲】

【請求項 1】 基板と、

前記基板上に形成された下部クラッド層と、

前記下部クラッド層上に形成された In を含む活性層

と、

前記活性層上に形成された蒸発防止層と、

前記蒸発防止層上に形成された上部クラッド層とを含む、

化合物半導体発光素子。

【請求項 2】 前記基板と、前記下部クラッド層との間に形成されたバッファ層をさらに備えた、請求項 1 に記載の化合物半導体発光素子。

【請求項 3】 前記上部クラッド層上に形成されたキャップ層をさらに備えた、請求項 1 または 2 に記載の化合物半導体発光素子。

【請求項 4】 前記活性層は $Al_x Ga_y In_z N$ ($X + Y + Z = 1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$) により構成される、請求項 1 から 3 のいずれかに記載の化合物半導体発光素子。

【請求項 5】 前記蒸発防止層は $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$) により構成される、請求項 1 から 4 のいずれかに記載の化合物半導体発光素子。

【請求項 6】 下部クラッド層を形成する第 1 のステップと、

第 1 の温度で前記下部クラッド層上に $Al_x Ga_y In_z N$ ($X + Y + Z = 1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$) により構成される活性層を形成する第 2 のステップと、

前記第 1 の温度以下の第 2 の温度で、前記活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$) により構成される蒸発防止層を形成する第 3 のステップとを備えた、化合物半導体発光素子の製造方法。

【請求項 7】 下部クラッド層を形成する第 1 のステップと、

第 1 の温度で前記下部クラッド層上に $Al_x Ga_y In_z N$ ($X + Y + Z = 1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$) により構成される活性層を形成する第 2 のステップと、

前記第 1 の温度以上の第 2 の温度で、前記活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$) により構成される蒸発防止層を形成する第 3 のステップと、

前記第 2 の温度以上の第 3 の温度で、前記蒸発防止層上に上部クラッド層を形成する第 4 のステップとを備えた、化合物半導体発光素子の製造方法。

【請求項 8】 下部クラッド層を形成する第 1 のステップと、

第 1 の温度で前記下部クラッド層上に $Al_x Ga_y In_z N$ ($X + Y + Z = 1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$) により構成される活性層を形成する第 2 のステップと、

前記第 1 の温度とほぼ同じ温度で、前記活性層上に Al

$x Ga_{1-x} N$ ($0 \leq X \leq 1$) により構成される蒸発防止層を形成する第 3 のステップとを備えた、化合物半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は化合物半導体発光素子およびその製造方法に関するもので、特に青色領域で発光可能な半導体レーザダイオードや発光ダイオードに関するものである。

【0002】

【従来の技術】図 17 は、従来の青色領域で発光可能な $AlGaIn$ / $InGaIn$ / $AlGaIn$ 系化合物半導体発光素子 (半導体レーザ、発光ダイオード) の模式断面を示す図である。

【0003】図を参照して半導体発光素子はサファイア (0001) 基板 1 と、サファイア (0001) 基板 1 上に順に積層された GaN または AlN バッファ層 2、 n 型 GaN 層 3、 n 型 $Al_z Ga_{1-z} N$ ($0 \leq Z \leq 1$) 下部クラッド層 4、 n 型 $Al_y Ga_{1-y} N$ ($0 \leq Y \leq 1$) 活性層 (または発光層とも呼ばれる) 5、 p 型 $Al_z Ga_{1-z} N$ ($0 \leq Z \leq 1$) 上部クラッド層 7 および p 型 GaN キャップ層 8 により構成される。また n 型 GaN 層 3 には n 型電極 10 が、 p 型 GaN キャップ層 8 には p 型電極 9 が形成されている。

【0004】このような化合物半導体発光素子は一般的には有機金属気相成長法 (以下「MOCVD 法」という。) により、以下の工程を経て製造される。

【0005】(1) 温度約 1050℃にてサファイア基板 1 の表面処理を行なう。

(2) 基板温度を約 510℃まで下げ、薄層の GaN または AlN バッファ層 2 を成長させる。

【0006】(3) 基板温度を 1020℃まで上げ、 n 型 GaN 層 3 を成長させる。

(4) 同温度にて、 n 型 $AlGaIn$ 下部クラッド層 4 を成長させる。

【0007】(5) 基板温度を約 800℃に下げ、 n 型 $AlGaIn$ 系活性層 (または Zn ドープ発光層) 5 を約 100~500Å の厚さに成長させる。

【0008】(6) 基板温度を約 1020℃に上げて、 p 型 $AlGaIn$ 上部クラッド層 7 を成長させる。

【0009】(7) 同温度にて p 型 GaN キャップ層 8 を成長させる。

(8) エッチングを行なった後、 p 型電極 9 および n 型電極 10 を形成する。

【0010】以上に述べた工程において、 In を含む活性層 5 を成長させるときの温度を約 800℃とするのは、 In の蒸気圧は比較的高いため、1000℃以上の成長温度では所望の In 比を得ることができないためである。また $AlGaIn$ クラッド層の成長温度を 1020℃とするのは $AlGaIn$ クラッド層は 1000℃以上の

10

20

30

40

50

温度で成長させないと、良好な結晶品質の膜とすることができないためである。

【0011】そのため前述した工程(4)～(6)間において、発光素子は図16に示される成長温度プロファイルを辿ることになるのである。図16中、横軸は半導体の成長方向を、縦軸は成長温度を示す。

【0012】

【発明が解決しようとする課題】しかしながら、上述した従来の化合物半導体の製造方法には、p型AlGaIn上部クラッド層7を成長させるため基板温度を約1020℃まで上げたときに、その前の工程で作られたInを含む活性層(発光層)5からInの遊離が生じるという問題点があった。Inの遊離が生じることは、活性層5と上部クラッド層7との界面の悪化を招いたり、活性層5の膜厚やInの混晶比を制御することが困難になるという結果に結び付いていた。

【0013】この発明は上記問題点を解決するためになされたもので、化合物半導体発光素子の製造工程においてInの遊離を極力抑え、かつ制御性に優れた結晶成長を可能とし、また良質のInを含む活性層および良質の活性層の界面を有する化合物半導体発光素子を提供することを目的とする。

【0014】

【課題を解決するための手段】請求項1に記載の化合物半導体発光素子は、基板と、基板上に形成された下部クラッド層と、下部クラッド層上に形成されたInを含む活性層と、活性層上に形成された蒸発防止層と、蒸発防止層上に形成された上部クラッド層とを含むものである。

【0015】請求項2に記載の化合物半導体発光素子は、請求項1に記載の化合物半導体発光素子であって、基板と、下部クラッド層との間に形成されたバッファ層をさらに備えたものである。

【0016】請求項3に記載の化合物半導体発光素子は、請求項1または2に記載の化合物半導体発光素子であって、上部クラッド層上に形成されたキャップ層をさらに備えたものである。

【0017】請求項4に記載の化合物半導体発光素子は、請求項1から3のいずれかに記載の化合物半導体発光素子であって、活性層は $Al_x Ga_y In_z N$ ($X+Y+Z=1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$)により構成されるものである。

【0018】請求項5に記載の化合物半導体発光素子は、請求項1から4のいずれかに記載の化合物半導体発光素子であって、蒸発防止層は $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$)により構成されるものである。

【0019】請求項6に記載の化合物半導体発光素子の製造方法は、下部クラッド層を形成する第1のステップと、第1の温度で下部クラッド層上に $Al_x Ga_y In_z N$ ($X+Y+Z=1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq$

1)により構成される活性層を形成する第2のステップと、第1の温度以下の第2の温度で活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$)により構成される蒸発防止層を形成する第3のステップとを備えたものである。

【0020】請求項7に記載の化合物半導体発光素子の製造方法は、下部クラッド層を形成する第1のステップと、第1の温度で下部クラッド層上に $Al_x Ga_y In_z N$ ($X+Y+Z=1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$)により構成される活性層を形成する第2のステップと、第1の温度以上の第2の温度で、活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$)により構成される蒸発防止層を形成する第3のステップと、第2の温度以上の第3の温度で、蒸発防止層上に上部クラッド層を形成する第4のステップとを備えたものである。

【0021】請求項8に記載の化合物半導体発光素子の製造方法は、下部クラッド層を形成する第1のステップと、第1の温度で前記下部クラッド層上に $Al_x Ga_y In_z N$ ($X+Y+Z=1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$)により構成される活性層を形成する第2のステップと、前記第1の温度とほぼ同じ温度で、前記活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$)により構成される蒸発防止層を形成する第3のステップとを備えたものである。

【0022】

【作用】請求項1から5のいずれかに記載の化合物半導体発光素子は、活性層上に蒸発防止層を備える。この蒸発防止層の存在により、従来化合物半導体発光素子の製造中に生じていた活性層中のInの遊離が防止される。

【0023】請求項6に記載の化合物半導体発光素子の製造方法では、第1のステップにより下部クラッド層が形成される。第2のステップにより、第1の温度で下部クラッド層上に $Al_x Ga_y In_z N$ ($X+Y+Z=1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$)により構成される活性層が形成される。第3のステップにおいて、第1の温度以下の第2の温度で活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$)により構成される蒸発防止層が形成される。

【0024】請求項7に記載の化合物半導体発光素子の製造方法では、第1のステップにおいて下部クラッド層が形成される。第2のステップにおいて下部クラッド層上に $Al_x Ga_y In_z N$ ($X+Y+Z=1$ かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$)により構成される活性層が形成される。第3のステップにおいて、第1の温度以上の第2の温度で活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$)により構成される蒸発防止層が形成される。第4のステップにおいて、第2の温度以上の第3の温度で蒸発防止層上に上部クラッド層が形成される。

【0025】請求項8に記載の化合物半導体発光素子の製造方法では、第1のステップにおいて下部クラッド層が形成される。第2のステップにおいて第1の温度で下部クラッド層上に $Al_x Ga_y In_z N$ ($X+Y+Z=$

1かつ $0 \leq X \cdot Y \leq 1$, $0 < Z \leq 1$)により構成される活性層が形成される。第3のステップにおいて、第1の温度とはほぼ同じ温度で活性層上に $Al_x Ga_{1-x} N$ ($0 \leq X \leq 1$)により構成される蒸発防止層が形成される。

【0026】

【実施例】以下本発明の実施例を順に説明する。なお本実施例は成長条件、有機金属化合物ガスの種類、使用材料などを下記のものに限定するものではない。本実施例は特許請求の範囲内において種々の変更を加えることができる。

【0027】(第1の実施例)第1の実施例ではサファイア(0001)c面が基板として用いられ、MOCVD法により各々の層の成長が行なわれる。またIII族ガス源としてトリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアンモニア(NH_3)が用いられ、n型ドーパント源としてモノシラン(SiH_4)が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム(Cp_2Mg)が各々用いられ、キャリアガスとして H_2 が用いられる。

【0028】図1は本発明の第1の実施例における半導体レーザダイオードの模式断面図である。

【0029】図を参照して本実施例における半導体レーザダイオードは、サファイア基板1と、サファイア(0001)c面基板1上に順に形成された、 GaN または AlN バッファ層2、n型 GaN 層3、n型 $Al_{0.1}Ga_{0.9}$ N下部クラッド層4、ノンドープまたはSiドープ $In_{0.2}Ga_{0.8}$ N活性層(または発光層ともいう)5、薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6、p型 $Al_{0.1}Ga_{0.9}N$ 上部クラッド層7、p型 GaN キャップ層8により構成される。またn型 GaN 層3にはn型電極10が、p型 GaN キャップ層8にはp型電極9が形成される。

【0030】この半導体の積層状態が、図17に示される従来の半導体の積層状態と異なる点は、蒸発防止層6が活性層5と上部クラッド層7との間に設けられている点である。

【0031】そして図1に示される半導体レーザは以下に示される工程により形成される。

(1) MOCVD装置内にサファイア基板1を導入し、基板を H_2 中で基板温度約 $1050^\circ C$ で加熱し、基板の表面処理を行なう。

【0032】(2) 基板温度を約 $500^\circ C$ まで下げ、 GaN または AlN バッファ層2を成長させる。このときバッファ層2の層厚は GaN であれば 250\AA 、 AlN であれば 500\AA である。

【0033】(3) 基板温度を約 $1020^\circ C$ まで上げ、n型 GaN 層3を約 $4\mu m$ 程度の厚さに成長させる。この時点で図3に示される積層構造が形成される。

【0034】(4) 同じ基板温度でn型 $Al_{0.1}Ga_{0.9}N$

下部クラッド層4を約 $1\mu m$ の厚さに成長させる。このときの基板の積層状態を図4に示す。

【0035】(5) 基板温度を約 $800^\circ C$ に下げて、ノンドープ(non-doped)またはSiドープ $In_{0.2}Ga_{0.8}N$ 活性層(または発光層)を約 200\AA の膜厚で成長させる。このときの基板の積層状態を図5に示す。

【0036】(6) 基板温度をノンドープまたはSiドープ $In_{0.2}Ga_{0.8}N$ 活性層(または発光層)成長温度以下に下げて、成長温度約 $500\sim 800^\circ C$ にて薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6を成長させる。このときの基板の積層状態を図6に示す。

【0037】(7) 基板温度を約 $1020^\circ C$ まで上げ、p型 $Al_{0.1}Ga_{0.9}N$ 上部クラッド層7を約 $1\mu m$ の層厚で成長させる。

【0038】(8) 次に同温度にてp型電極 GaN キャップ層8を約 $1\mu m$ の厚さに成長させる。このときの基板の積層状態を図7に示す。

【0039】薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6は、基板温度を約 $1020^\circ C$ まで上げる間に良質膜となる。

【0040】以上のように製造されたウェハには温度約 $700^\circ C$ において N_2 中で熱アニーリングが行なわれる。熱アニーリングにより、薄層p型 $Al_{0.05}Ga_{0.95}N$ 蒸発防止層6、p型 $Al_{0.1}Ga_{0.9}N$ 上部クラッド層7をおよびp型 AlN キャップ層8は高濃度p型層に変化する。

【0041】次に電極付けを行なうために、ウェハの一部はn型 GaN 層3が露出するまでエッチングされる、その後p型電極9およびn型電極10がそれぞれ形成される。以上の工程を経て図1に示される $AlGaIn/InGaIn/AlGaIn$ 系半導体レーザダイオードは製造される。

【0042】図2は図1の半導体レーザダイオードの下部クラッド層4から上部クラッド層7までを形成する間における結晶の成長温度プロファイルを示す図である。

【0043】このように本実施例における化合物半導体発光素子では活性層5の形成後、活性層5の成長温度以下の温度で蒸発防止層6が形成され、その後基板温度約 $1020^\circ C$ にて上部クラッド層7が形成される。そのため活性層5中に含まれる In の遊離が生ずることは防止され、これにより良質の In を含む活性層および良質の活性層の界面を有する化合物半導体発光素子を提供することが可能となり、かつその製造工程においては制御性に優れた結晶成長が可能となる。

【0044】図8は本実施例の変形例である発光ダイオードの模式断面図である。図8を参照して発光ダイオードは図1に示される半導体レーザダイオードと異なり、p型電極9が小さく形成される。これは活性層5により発せられた光を上部クラッド層7およびキャップ層8を介して上方にも出力させるためである。

10

20

30

40

50

【0045】(第2の実施例) 図9は本発明の第2の実施例における化合物半導体発光素子の下部クラッド層から上部クラッド層までの成長温度プロファイルを示す図である。

【0046】本実施例における化合物半導体発光素子の積層構造は図1および図8に示される第1の実施例と同一であるので、ここでの説明を繰返さない。第2の実施例における化合物半導体発光素子は蒸発防止層をInを含む活性層の成長温度以上かつ上部クラッド層の成長温度以下の基板温度で形成することを特徴としている。

【0047】第2の実施例において結晶の成長にはMOCVD法が用いられ、基板としてサファイア(0001)c面が用いられる。またIII族ガス源としてトリメチルガリウム(TMg)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアンモニア(NH₃)が用いられる。またn型ドーパント源としてモノシラン(SiH₄)が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム(Cp₂Mg)が、キャリアガスとしてH₂が用いられる。その製造工程を以下に説明する。

【0048】(1) MOCVD装置内にサファイア基板を導入し、基板をH₂中で基板温度約1050℃で加熱し、基板の表面処理を行なう。

【0049】(2) 基板温度を約500℃まで下げ、GaNまたはAlNバッファ層を形成する。このときのバッファ層の層厚はGaNであれば250Å、AlNであれば500Åである。

【0050】(3) 基板温度を約1020℃まで上げて、n型GaN層を約4μm程度成長させる。

【0051】(4) 同じ基板温度でn型Al_{0.1}Ga_{0.9}N下部クラッド層4を約1μm成長させる。

【0052】(5) 基板温度を約800℃に下げ、ノンドープまたはSiドープIn_{0.1}Ga_{0.9}N活性層(または「発光層」ともいう。)を約200Åの膜厚で成長させる。

【0053】(6) 基板温度をノンドープまたはSiドープIn_{0.1}Ga_{0.9}N活性層の成長温度以上かつp型Al_{0.1}Ga_{0.9}N上部クラッド層の成長温度以下である、約900℃にて薄層p型Al_{0.1}Ga_{0.9}N蒸発防止層を成長させる。

【0054】(7) 基板温度を約1020℃まで上げ、p型Al_{0.1}Ga_{0.9}N上部クラッド層を約1μm成長させる。

【0055】(8) p型電極GaNキャップ層を約1μm成長させる。薄層p型Al_{0.1}Ga_{0.9}N蒸発防止層は、基板温度を約1020℃まで上げる間に良質膜となる。

【0056】結晶の成長後ウェハには熱アニーリング、エッチングが行なわれた後電極の形成が行なわれる。こ

これらの工程は第1の実施例と同一であるのでここでの説明を繰返さない。

【0057】以上に述べたように本実施例ではInを含む活性層の形成後、活性層の成長温度以上かつ上部クラッド層の成長温度以下で蒸発防止層を形成するため、Inの遊離を防止することができ、制御性に優れた結晶成長が可能となり、良質のInを含む活性層および活性層の界面を提供することが可能となる。

【0058】(第3の実施例) 第3の実施例において製造される化合物半導体発光素子の積層状態は図1および図8に示される第1の実施例における化合物半導体発光素子の積層状態と同一であるのでここでの説明を繰返さない。

【0059】図10は本発明の第3の実施例における化合物半導体発光素子の下部クラッド層から上部クラッド層の形成の間の温度プロファイルを示す図である。

【0060】本実施例における化合物半導体発光素子の製造工程は、蒸発防止層の成長温度をInを含む活性層の成長温度とほぼ同じにすることを特徴としている。

【0061】本実施例において化合物半導体発光素子の製造方法にはMOCVD法が用いられる。また基板としてサファイア(0001)c面が用いられ、III族ガス源としてトリメチルガリウム(TMg)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアンモニア(NH₃)が用いられ、n型ドーパント源としてモノシラン(SiH₄)が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム(Cp₂Mg)が、キャリアガスとしてH₂が用いられる。その製造工程を以下に説明する。

【0062】(1) MOCVD装置内にサファイア基板を導入し、基板をH₂中で基板温度約1050℃で加熱し、基板の表面処理を行なう。

【0063】(2) 基板温度を約500℃まで下げ、GaNまたはAlNバッファ層を成長させる。このときのバッファ層の層厚はGaNであれば250Å、AlNであれば500Åである。

【0064】(3) 基板温度を約1020℃まで上げ、n型GaN層を約4μm程度成長させる。

【0065】(4) 同じ基板温度でn型Al_{0.1}Ga_{0.9}N下部クラッド層を約1μm成長させる。

【0066】(5) 基板温度を約800℃に下げてノンドープまたはSiドープIn_{0.1}Ga_{0.9}N活性層を約200Åの層厚で成長させる。

【0067】(6) ノンドープまたはSiドープIn_{0.1}Ga_{0.9}N活性層の成長温度とほぼ同じ成長温度にて、薄層p型Al_{0.1}Ga_{0.9}N蒸発防止層を成長させる。

【0068】(7) 基板温度を約1020℃まで上げ、p型Al_{0.1}Ga_{0.9}N上部クラッド層を約1μm

成長させる。

【0069】(8) p型Ga_{0.95}N_{0.05}キャップ層を約1μm成長させる。薄層p型Al_{0.95}Ga_{0.05}N蒸発防止層は、基板温度を約1020℃まで上げる間に良質膜となる。

【0070】また製造されたウェハは熱アニーリング、エッチングおよび電極形成の工程を経て半導体レーザや発光ダイオードなどの素子とされる。これらの工程は第1の実施例と実質的に同一であるのでここでの説明を繰返さない。

【0071】(第4の実施例) 図11は本発明の第4の実施例における化合物半導体発光素子の模式断面図である。

【0072】図を参照して本実施例における化合物半導体発光素子は、積層されたn型電極10、n型GaAs基板11、n型GaAsバッファ層12、n型Al_{0.95}Ga_{0.05}As下部クラッド層13、活性層20、p型(Mgドープ)Al_{0.95}Ga_{0.05}As上部クラッド層17、絶縁層18、p型GaAsキャップ層19およびp型電極9により構成される。また活性層20は図面に対して下からノンドープGaAs層14、ノンドープIn_{0.15}Ga_{0.85}Asひずみ量子井戸活性層15およびノンドープGaAs蒸発防止層16の順に積層された化合物半導体により構成される。

【0073】活性層近傍のエネルギーレベルを図12に示す。また本実施例における化合物半導体発光素子にはフォトリソグラフィとウエットエッチングにより幅3μmのリッジ導波構造が形成されている。

【0074】本実施例における化合物半導体発光素子はMOCVD法により形成される。本実施例においては基板としてGaAsが用いられ、III族ガス源としてトリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアルシン(AsH₃)が用いられ、n型ドーパント源としてSeが、p型ドーパント源としてMgおよびZnが、キャリアガスとしてH₂が用いられる。そして本実施例における化合物半導体発光素子は以下の工程により製造される。

【0075】(1) MOCVD装置内にn型(100)GaAs基板11を導入し、基板温度を約800℃まで上げGaAsバッファ層12を成長させる。GaAsバッファ層の層厚は0.5μmである。

【0076】(2) 同温度にてn型Al_{0.95}Ga_{0.05}As下部クラッド層13を層厚約1.4μmに成長させる。

【0077】(3) ノンドープ型GaAs層14を約100Å成長させる。

(4) 基板温度を約630℃に下げてノンドープIn_{0.15}Ga_{0.85}Asひずみ量子井戸活性層15を約110Åの層厚で成長させる。

【0078】(5) ノンドープ型GaAs蒸発防止層16を約100Åの層厚で成長させる。なお蒸発防止層の成長における基板の温度は図13から図15に示されるいずれの成長温度プロファイルによっても行なうことが可能である。すなわち図13においては蒸発防止層はひずみ量子井戸活性層の成長温度である630℃よりも低い約550℃にて形成される。また図14においては蒸発防止層はひずみ量子井戸活性層の成長温度である約630℃以上かつ上部クラッド層の成長温度である約800℃以下の温度である約700℃で成長させることができる。また図15においては蒸発防止層はひずみ量子井戸活性層の成長温度とほぼ同じ温度である約630℃で成長させることが可能である。

【0079】(6) p型(Mgドープ)Al_{0.95}Ga_{0.05}As上部クラッド層17を約1.4μmの層厚で成長させる。

【0080】(7) p型(Znドープ)GaAsキャップ層19を約1μmの層厚で成長させる。

【0081】以上の工程を経たウェハに対し、従来の技術であるフォトリソグラフィとウエットエッチングの技術が用いられ、図11に示される幅3μmのリッジ導波構造が形成される。リッジ導波構造が形成されたウェハにはp型およびn型電極が形成され素子化が行なわれる。

【0082】(第5の実施例) 第5の実施例において形成される化合物半導体発光素子の積層状態は図1および図8に示される第1の実施例における化合物半導体発光素子の積層構造と同一であるのでここでの説明を繰返さない。第5の実施例においてその特徴とするところは蒸発防止層を形成する物質としてAl_{0.95}Ga_{0.05}Nを用いる点である。これにより蒸発防止層と上部クラッド層との間の物質の化学組成の明瞭な差を付けることができ、これにより素子製造後の蒸発防止層の検証が容易となる。

【0083】本実施例における化合物半導体発光素子の製造にはMOCVD法が用いられ、基板としてサファイア(0001)c面が用いられる。またIII族ガス源としてトリメチルガリウム(TMG)、トリメチルアルミニウム(TMA)およびトリメチルインジウム(TMI)が用いられ、V族ガス源としてアンモニア(NH₃)が用いられる。またn型ドーパント源としてモノシラン(SiH₄)が、p型ドーパント源としてビスシクロペンタジエニルマグネシウム(Cp₂Mg)が、キャリアガスとしてH₂が用いられる。

【0084】そして本実施例における化合物半導体発光素子は以下の工程を経て形成される。

【0085】(1) MOCVD装置内にサファイア基板を導入し、基板温度をH₂中で基板温度約1050℃で加熱し基板の表面処理を行なう。

【0086】(2) 基板温度を約500℃まで下げG

aNまたはAlNバッファ層を成長させる。このときバッファ層の層厚はGaNであれば250Å、AlNであれば500Åである。

【0087】(3) 基板温度を約1020℃まで上げてn型GaN層を層厚約4μm程度成長させる。

【0088】(4) 同じ基板温度でn型Al_{0.1}Ga_{0.9}N下部クラッド層を層厚約1μmで成長させる。

【0089】(5) 基板温度を約800℃に下げてノンドープまたはSiドープIn_{0.2}Ga_{0.8}N活性層(または発光層ともいう。)を層厚約200Åで成長させる。

【0090】(6) 薄層p型Al_{0.1}Ga_{0.9}N蒸発防止層を成長させる。なおこのときの基板温度は約600℃から約900℃の間で任意に選択可能である。たとえば約600℃、約800℃、約900℃等を選択することができる。

【0091】(7) 基板温度を約1020℃まで上げ、p型Al_{0.1}Ga_{0.9}N上部クラッド層を層厚約1μmの厚さに成長させる。

【0092】(8) p型GaNキャップ層を層厚約1μmの厚さに成長させる。薄層p型Al_{0.1}Ga_{0.9}N蒸発防止層は、基板温度を約1020℃まで上げる間に良質膜となる。

【0093】層構造の形成されたウェハには約700℃でN₂中にて熱アニーリングが行なわれる。熱アニーリングにより薄層p型Al_{0.1}Ga_{0.9}N蒸発防止層、p型Al_{0.1}Ga_{0.9}N上部クラッド層およびp型GaNキャップ層は高濃度p型層に変化する。

【0094】次にn型の電極を形成するために、n型GaN層が露出するまでエッチングが行なわれ、エッチングされたウェハ上にp型およびn型電極がそれぞれ形成される。

【0095】なお実施例の説明中結晶の成長にMOCVD法を用いることとしたが、成長方法としてMBE法(分子線エピタキシャル成長法)などを用いることができる。また特許請求の範囲内において使用材料、成長条件などの変更を加えることができる。

【0096】さらに第1から第3および第5の実施例において基板としてサファイア(0001)c面を用いることとしたが、基板としてSiC、MgO、ZnOまたはMgAl₂O₃などを用いることができる。

【0097】さらにバッファ層として用いられる物質は化学式Al_xGa_{1-x}N(0<X<1)などの物質を用いることができる。

【0098】さらに活性層は化学式Al_xGa_yIn_zN(X+Y+Z=1かつ0≤X・Y≤1, 0<Z≤1)により構成される物質であれば何を用いてもよい。

【0099】さらに下部クラッド層としてn型Al_{1/2}Ga_{1/2}N(0≤Z≤1)により構成される物質を用いることが可能であり、上部クラッド層としてp型Al_{1/2}G

a_{1/2}N(0≤Z≤1)により構成される物質を用いることができる。

【0100】さらに第4の実施例におけるノンドープ型GaN層14を構成する物質としてノンドープAl_xGn_{1-x}As(0≤X≤1)により構成される物質を使用することができ、ノンドープIn_{0.1}Ga_{0.9}Asひずみ量子井戸活性層を構成する物質として、ノンドープIn_yGa_{1-y}As(0<y≤1)を用いることが可能である。さらに第4の実施例において蒸発防止層としてp型Al_xGa_{1-x}As(0≤X≤1)により構成される物質を使用することができる。

【0101】

【発明の効果】請求項1から5のいずれかに記載の化合物半導体発光素子によると、蒸発防止層を備えるため、Inの遊離を極力抑えることができ、制御性に優れた結晶成長を可能とし、良質のInを含む活性層(発光層)および活性層の界面を含む化合物半導体発光素子を提供することが可能となる。

【0102】請求項6から8のいずれかに記載の化合物半導体発光素子の製造方法によれば、活性層に含まれるInの遊離を極力抑えることができるので、制御性に優れた結晶成長を可能とし、良質のInを含む活性層および活性層の界面を提供することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体レーザダイオードの模式断面図である。

【図2】本発明の第1の実施例における化合物半導体発光素子の成長温度プロファイルを示す図である。

【図3】化合物半導体発光素子の製造工程を示す第1の図である。

【図4】化合物半導体発光素子の製造工程を示す第2の図である。

【図5】化合物半導体発光素子の製造工程を示す第3の図である。

【図6】化合物半導体発光素子の製造工程を示す第4の図である。

【図7】化合物半導体発光素子の製造工程を示す第5の図である。

【図8】本発明の一実施例における発光ダイオードの模式断面図である。

【図9】本発明の第2の実施例における化合物半導体発光素子の成長温度プロファイルを示す図である。

【図10】本発明の第3の実施例における化合物半導体発光素子の成長温度プロファイルを示す図である。

【図11】本発明の第4の実施例における半導体レーザダイオードの模式断面図である。

【図12】図11における活性層近傍のエネルギーレベルを示す図である。

【図13】図11のレーザダイオードを製造する過程における温度プロファイルを示す第1の図である。

13

14

【図14】図11のレーザダイオードを製造する過程における温度プロファイルを示す第2の図である。

【図15】図11のレーザダイオードを製造する過程における温度プロファイルを示す第3の図である。

【図16】従来の化合物半導体発光素子の製造工程における温度プロファイルを示す図である。

【図17】従来の化合物半導体発光素子の模式断面図である。

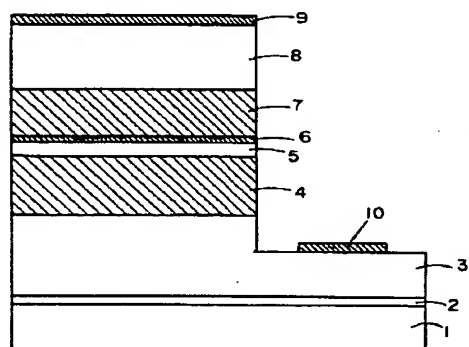
【符号の説明】

- 1 サファイア(0001)基板
- 2 GaNまたはAlNバッファ層
- 3 n型GaN層
- 4 n型 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z \leq 1$) 下部クラッド層
- 5 non-dopedまたはSiドープ $\text{In}_y\text{Ga}_{1-y}\text{N}$ ($0 < y \leq 1$) 活性層(または発光層)
- 6 薄層p型 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 蒸発防止層
- 7 p型 $\text{Al}_z\text{Ga}_{1-z}\text{N}$ ($0 \leq z \leq 1$) 上部クラッド*

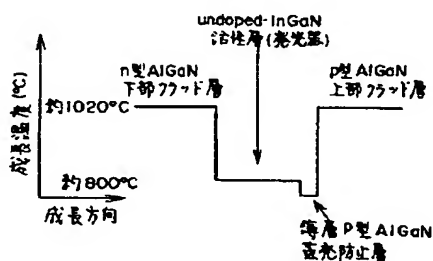
*層

- 8 p型GaNキャップ層
- 9 p型電極
- 10 n型電極
- 11 n型GaAs基板
- 12 n型GaAsバッファ層
- 13 n型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) 下部クラッド層
- 14 ノンドープ $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) 層
- 15 ノンドープ $\text{In}_y\text{Ga}_{1-y}\text{As}$ ($0 < y \leq 1$) ひずみ量子井戸活性層
- 16 p型 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) 蒸発防止層
- 17 p型 $\text{Al}_z\text{Ga}_{1-z}\text{As}$ ($0 \leq z \leq 1$) 上部クラッド層
- 18 絶縁層
- 19 p型GaAsキャップ層
- 20 活性層

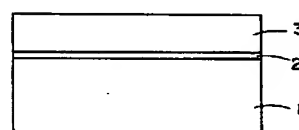
【図1】



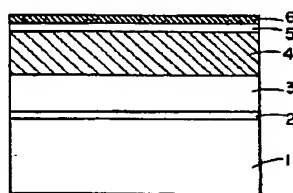
【図2】



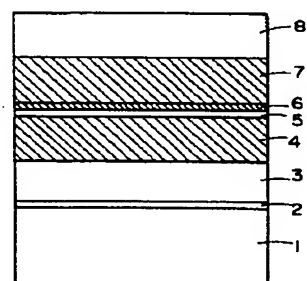
【図3】



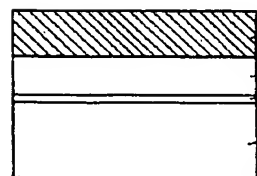
【図6】



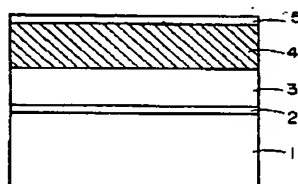
【図7】



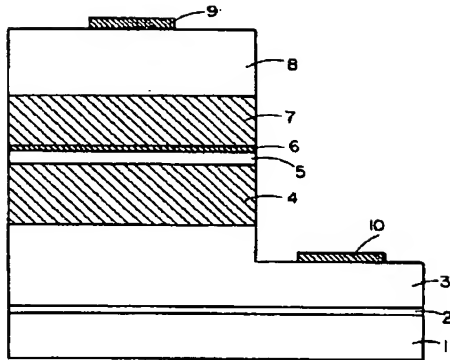
【図4】



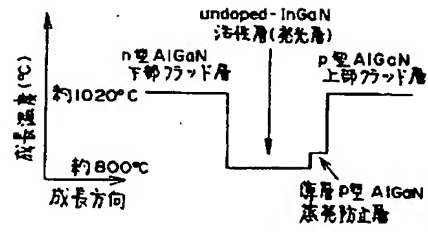
【図5】



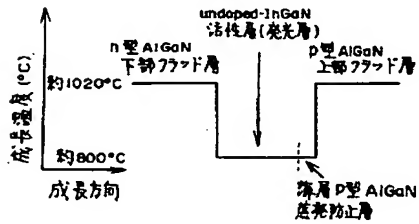
【図 8】



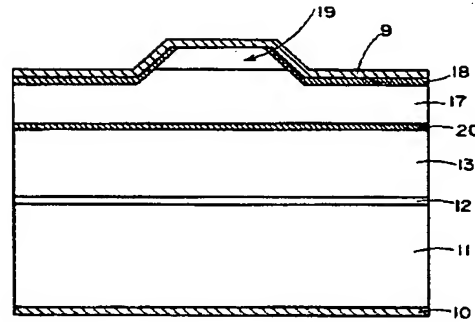
【図 9】



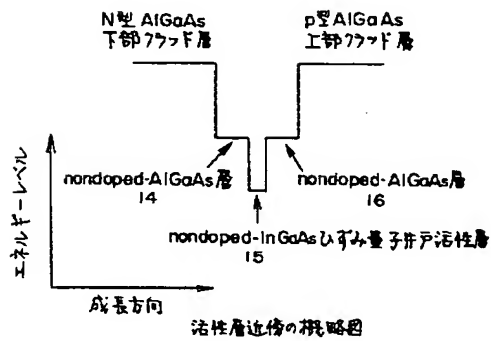
【図 10】



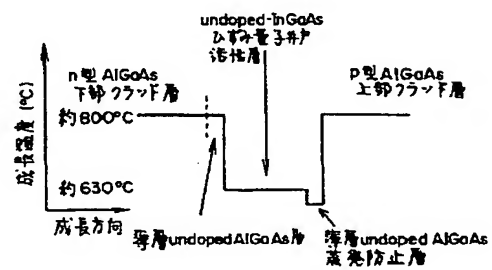
【図 11】



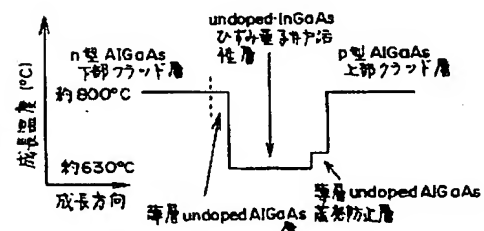
【図 12】



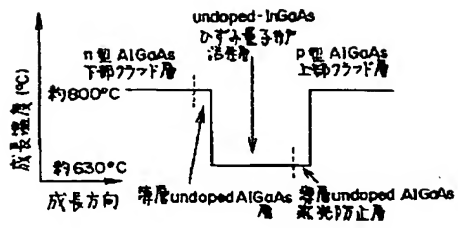
【図 13】



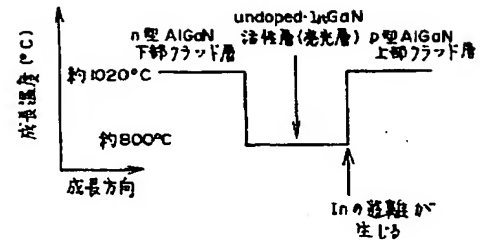
【図 14】



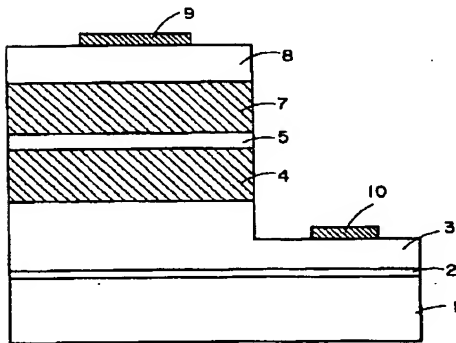
【図15】



【図16】



【図17】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成13年9月7日(2001.9.7)

【公開番号】特開平8-293643
 【公開日】平成8年11月5日(1996.11.5)
 【年通号数】公開特許公報8-2937
 【出願番号】特願平7-98633
 【国際特許分類第7版】

H01S 5/30

H01L 33/00

【FI】

H01S 3/18

H01L 33/00 C

【手続補正書】

【提出日】平成12年10月27日(2000.10.27)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 化合物半導体発光素子

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基板と、n型下部クラッド層と、Inを含むAlGa_{1-x}N又はInを含むGa_{1-x}N活性層と、p型上部Al_{1-x}Ga_xN(0≤x≤1)クラッド層と、含む化合物半導体発光素子であって、前記活性層と前記p型上部クラッド層の間にAl_{1-x}Ga_xN(0≤x≤1)層を有することを特徴とする化合物半導体発光素子。

【請求項2】 前記p型上部クラッド層上にp型Ga_{1-x}Nキャップ層を備え、前記Al_{1-x}Ga_xN(0≤x≤1)層はp型であることを特徴とする請求項1に記載の化合物半導体発光素子。

【請求項3】 前記上部p型クラッド層と前記Al_{1-x}Ga_xN(0≤x≤1)層は互いに化学組成の異なることを特徴とする請求項1または2に記載の化合物半導体発光素子。

【請求項4】 前記Al_{1-x}Ga_xN(0≤x≤1)層は、前記p型上部クラッド層の成長温度より低い温度で成長された層であることを特徴とする請求項1乃至3のいずれかに記載の化合物半導体発光素子。

【請求項5】 前記Al_{1-x}Ga_xN(0≤x≤1)層は、前記活性層の成長温度以上で成長された層であるこ

とを特徴とする請求項4に記載の化合物半導体発光素子。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】

【課題を解決するための手段】請求項1に記載の化合物半導体素子は、基板と、n型下部クラッド層と、Inを含むAlGa_{1-x}N又はInを含むGa_{1-x}N活性層と、p型上部Al_{1-x}Ga_xN(0≤x≤1)クラッド層と、含む化合物半導体発光素子であって、前記活性層と前記p型上部クラッド層の間にAl_{1-x}Ga_xN(0≤x≤1)層を有するものである。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】請求項2に記載の化合物半導体素子は、請求項1に記載の化合物半導体素子であって、前記p型上部クラッド層上にp型Ga_{1-x}Nキャップ層を備え、前記Al_{1-x}Ga_xN(0≤x≤1)層はp型であることを特徴とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正内容】

【0016】請求項3に記載の化合物半導体発光素子は、請求項1または2に記載の化合物半導体発光素子であって、上部p型クラッド層と前記Al_{1-x}Ga_xN(0≤x≤1)層は互いに化学組成の異なることを特徴とす

るものである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正内容】

【0017】請求項4に記載の化合物半導体発光素子は、請求項1乃至3のいずれかに記載の化合物半導体発光素子であって、前記 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 層は、前記p型上部クラッド層の成長温度以下で成長された層であることを特徴とするものである。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】請求項5に記載の化合物半導体発光素子は、請求項4に記載の化合物半導体発光素子であって、前記 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 層は、前記活性層の成長温度以上で成長された層であることを特徴とするものである。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】削除

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】削除

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】削除

【手続補正11】

【補正対象書類名】明細書

【補正対象項目名】0022

【補正方法】変更

【補正内容】

【0022】

【作用】請求項1から5のいずれかに記載の化合物半導体発光素子は、活性層上に $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 層を備える。この $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 層の存在により、従来化合物半導体発光素子の製造中に生じていた活性層中のInの遊離が防止される。

【手続補正12】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】削除

【手続補正13】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】削除

【手続補正14】

【補正対象書類名】明細書

【補正対象項目名】0025

【補正方法】削除

【手続補正15】

【補正対象書類名】明細書

【補正対象項目名】0101

【補正方法】変更

【補正内容】

【0101】

【発明の効果】請求項1から5のいずれかに記載の化合物半導体発光素子に、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ($0 \leq x \leq 1$) 層を備えるため、Inの遊離を極力抑えることができ、制御性に優れた結晶成長を可能とし、良質のInを含む活性層（発光層）および活性層の界面を含む化合物半導体発光素子を提供することが可能となる。

【手続補正16】

【補正対象書類名】明細書

【補正対象項目名】0102

【補正方法】削除